# 4η ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ

# “ΣΧΕΔΙΑΣΜΟΣ ΣΥΣΤΗΜΑΤΩΝ VLSI”

Ζητούμενα:

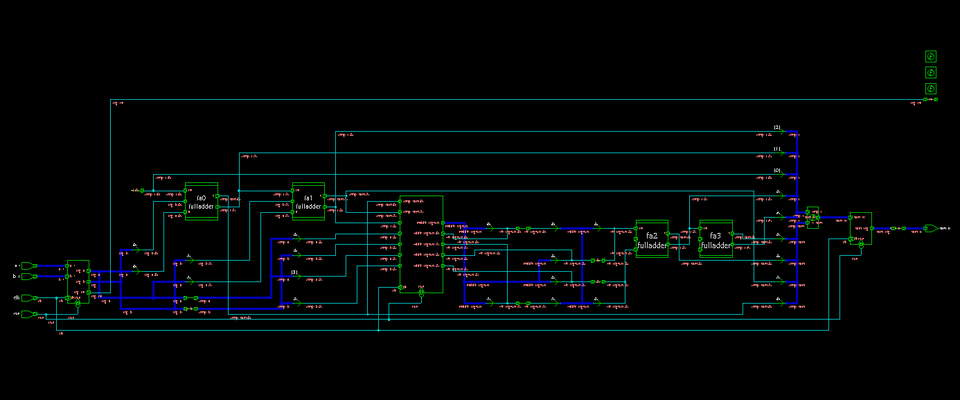
* 1. Για το 1ο ζητούμενο μας ζητήθηκε ο πειραματισμός με διάφορες τιμές στο timing, από τον οποίο παρατηρήσαμε ότι όσο ο χρονισμός του κυκλώματος γινόταν μικρότερος, τόσο αυξανόταν το area καθώς ο Design Compiler χρησιμοποιούσε μεγαλύτερα transistor για να ικανοποιήσει τις ανάγκες του κυκλώματος σε υψηλότερη ταχύτητα και το αντίστροφο συνέβαινε όταν χαμηλώναμε την καθυστέρηση του κυκλώματος. (Τα αντίστοιχα Reports βρίσκονται στον φάκελο REPORTS\results\_rca και REPORTS\results\_rca\_test)
  2. H διαφορά που παρατηρούμε μεταξύ των δύο εντολών compile και compile ultra είναι αρχικά η καλύτερη βελτιστοποίηση που προσφέρει η 2η καθώς και το ότι για να πετύχει αυτή την βελτιστοποίηση στην παραγόμενη Verilog δεν χρησιμοποιεί 4 αθροιστές όπως η απλή compile αλλά αναλύει περισσότερο το κύκλωμα σε πύλες. (Τα αντίστοιχα Reports βρίσκονται στον φάκελο REPORTS\results\_rca και REPORTS\results\_rca\_test)
  3. Για τον RCA χρησιμοποιήσαμε κώδικα που μας είχε δοθεί στην 1η Εργαστηριακή άσκηση στον οποίο προσθέσαμε καταχωρητές στις εισόδους και στις εξόδους. Αλλάξαμε το rca\_clock καταλλήλως και εκτελέσαμε τις εντολές βηματικά.
  4. Τροποποιήσαμε τον RCA με τρόπο αντίστοιχο με το σχήμα που ακολουθεί προκειμένου να τον μετατρέψουμε σε 2-Stage Pipeline και εκτελέσαμε compile με και χωρίς Retime.

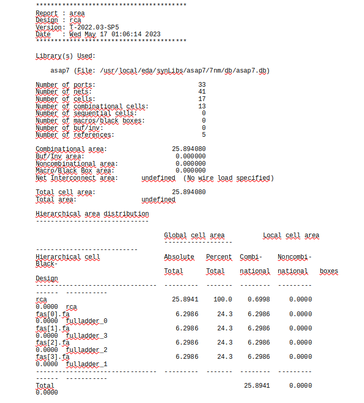
Στο ερώτημα με το 2-stage pipelining, υλοποιήθηκε με βάση το παρακάτω σχήμα της φωτό (Τα αντίστοιχα Source Files βρίσκονται στον φάκελο SRC\rca\_reg\_\*)

Εικόνα που περιέχει διάγραμμα, παράλληλα, γραμμή, τεχνικό σχέδιο

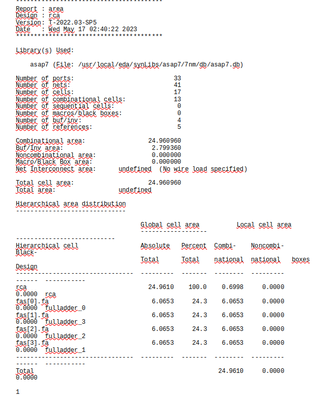
Περιγραφή που δημιουργήθηκε αυτόματα

Το υλοποιημένο σχήμα στο simulation είναι το παρακάτω:

Και το αρχικό area του σχήματος αυτού χωρίς retiming είναι 25,8941.



Ενώ , με retiming , το area κατέβηκε στο 24,9610



(Τα αντίστοιχα Reports βρίσκονται στον φάκελο REPORTS\results\_rca και REPORTS\results\_rca\_1)

* 1. (Τα αντίστοιχα Reports βρίσκονται στον φάκελο REPORTS\accumulator)
  2. (Τα αντίστοιχα Reports βρίσκονται στον φάκελο REPORTS\vmcoffee)

1. Υλοποιήσαμε το κύκλωμα με βάση το σχήμα που μας δόθηκε ενώ υλοποιήσαμε και ένα Testbench που εκτελεί έναν πολύ απλό έλεγχο στης λειτουργίας του κυκλώματος. (Τα αντίστοιχα Reports βρίσκονται στον φάκελο REPORTS\GCD) (Τα αντίστοιχα Source Files βρίσκονται στον φάκελο SRC\GCD.v και SRC\GCD\_tb.v)

Σημείωση: Από το σχήμα που μας δόθηκε δεν χρησιμοποιήσαμε τα σήματα x\_sel και y\_sel καθώς θεωρήσαμε ότι δεν χρειάζεται επίτρεψη στις αφαιρέσεις, ενώ επίσης χρησιμοποιήσαμε 2 ξεχωριστούς αθροιστές, οπότε δεν είχε νόημα η ύπαρξη των παραπάνω σημάτων.

Εικόνα που περιέχει ζωγραφιά, σκίτσο/σχέδιο, τέχνη με γραμμές, διάγραμμα

Περιγραφή που δημιουργήθηκε αυτόματα

Εικόνα :To FSM του Αλγορίθμου GCD που σχεδιάσαμε